

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 23/60

H01L 27/092

H01L 27/02 H01L 29/78

[12] 发明专利说明书

[21] ZL 专利号 95118276.5

[45]授权公告日 2000 年 5 月 31 日

[11]授权公告号 CN 1053067C

[22]申请日 1995.11.10 [24]颁证日 2000.4.14

[21]申请号 95118276.5

[30]优先权

[32]1995.4.6 [33]US[31]08/419,638

[73]专利权人 财团法人工业技术研究院

地址 中国台湾

[72]发明人 柯明道 吴添祥

[56]参考文献

US5,400,202 1995. 3.21

审查员 沈 丽

[74]专利代理机构 永新专利商标代理有限公司

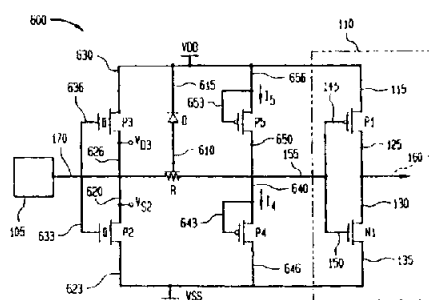
代理人 徐 娟

权利要求书 1 页 说明书 16 页 附图页数 7 页

[54]发明名称 互补金属氧化物半导体集成电路的静电放电防护电路

[57]摘要

一种 CMOS 集成电路的静电放电防护电路包括二级防护电路。第一级防护电路设有二个厚氧化层元件,第二级防护电路中有一电阻及第一与第二薄氧化层 MOS 元件。电阻连接于二级防护电路之间。此静电放电防护电路提供二种静电放电路径于输入区与 VDD 端之间,亦提供另二种静电放电路径于输入区与 VSS 端之间。发生在输入区的四种可能极性的静电放电皆被本静电放电防护电路所防护。



ISSN 1008-4274

权 利 要 求 书

1、一种互补金属氧化物半导体集成电路的静电放电防护电路，该电路具有一负电压源 V_{SS} 及一正电压源 V_{DD} ，其特征在于，其包括：

一个第一厚氧化层元件，连接在输入级与负电压源之间，用来旁通一种极性的ESD放电电流；

一个第二厚氧化层元件，连接在正电压源与输入级之间，用来旁通另一种极性的ESD放电电流；

一个第一薄氧化层元件，连接在负电压源与输入级之间，用来旁通一种极性的ESD放电电流，且箝制在输入级上正的ESD电压准位到一个预定的正值；

一个二极管，连接在输入级与正电压源之间，用来旁通ESD放电电流；

一个第二薄氧化层元件，连接在输入级与正电压源之间，用来旁通另一种极性的ESD放电电流，且箝制在输入级上负的ESD电压准位到一个预定的负值；

一连接在输入焊盘与输入级之间的一电阻。

2、根据权利要求1所述的静电放电防护电路，其特征在于，还包括一个二极管，连接在输入级的输入端与正电压源之间。

3、根据权利要求1所述的静电放电防护电路，其特征在于，所述电阻是一个扩散层电阻。

4、根据权利要求2所述的静电放电防护电路，其特征在于，所述扩散层电阻、所述第一及第二厚氧化层元件以及所述第一与第二薄氧化层元件都是P型元件。

5、根据权利要求1所述的静电放电防护电路，其特征在于，还包括一个二极管，其寄生在P型扩散层与N型衬底之间，连接在所述输入焊盘与第二参考电压源之间。

说 明 书

互补金属氧化物半导体集成电路的静电放电防护电路

本发明有关于应用在互补金属氧化物半导体集成电路的静电放电防护电路,用来防止集成电路被静电放电的电流所破坏。本发明的静电放电防护电路可直接保护集成电路输入级内的NMOS与PMOS元件,免于遭受静电放电所破坏。

互补金属氧化物半导体(CMOS)集成电路输入级的栅极经由输入焊盘连接到包装上的接脚,外界的静电放电发生在集成电路的接脚上时,经常导致输入级的栅极的薄氧化层被破坏。因此,一般在CMOS集成电路输入焊盘旁做有一静电放电防护电路来防止输入级的栅极的薄氧化层被静电放电所损坏。

当工艺技术更先进时,例如,次微米互补金属氧化物半导体技术,晶体管栅极的薄氧化层变得更薄。如此的晶体管栅极更易遭受静电放电所损坏。因此,静电放电的防护已经成了次微米CMOS集成电路可靠度上的一重要课题。

在次微米互补金属氧化物半导体制造技术中,为了克服热载流子(Hot-carrier)衰退的问题,一种叫做轻掺杂漏极LDD(Lightly-Doped Drain)的元件结构被采用。另外,为降低CMOS元件的寄生漏极与源极电阻,一种新的工艺技术叫硅扩散(Silicide diffusion)技术当CMOS元件的栅极薄氧化层更薄,且用到LDD及硅扩散技术,CMOS集成电路在静电放电防护上的可靠度大大下降,相关文献请参考:

(1)C. Duvvury, R. A. McPhee, D. A. Baglee, and R. N. Rountree, "ESD Protection Reliability in 1- μ m CMOS Technologies," 1986 IRPS Proc., pp. 199-205.

(2) S. Daniel and G. Krieger, "Process and Design Optimization for advanced CMOS I/O ESD Protection Devices," 1990 EOS/ESD Symp. Proc., EOS-12, pp. 206-213.

(3) Y. Wei, Y. Loh, C. Wang, and C. Hu, "MOSFET Drain Drain Engineering for ESD Performance," 1992 EOS/ESD Symp. Proc., EOS-14, pp. 143-148.

为保护CMOS集成电路免于静电放电所破坏，ESD防护电路要能够有效地旁通ESD放电电流到VDD及VSS去，以避免输入级的栅极被ESD所损坏。

一些有用的传统ESD防护电路请参见：

X. Guggenmos and R. Holzner, "A New ESD Protection Concept for VLSI CMOS Circuits avoiding Circuit Stress," 1991 EOS/ESD Symp. Proc., EOS-13, pp. 74-82; 以及美国专利文献第4692781、4605980、4745450、48007080、4819046、及5001529号专利。

如图1所示，其为一传统ESD防护电路100，此ESD防护电路连接于输入焊盘(input pad)105与CMOS输入级(input stage)110之间，以保护CMOS输入级110的栅极。

如图1所示，输入级110包含有一薄氧化层PMOS元件P1与一薄氧化层NMOS元件N1。P1元件的源极115连接到VDD，其漏极125连接到N1元件的漏极130。N1元件的源极135连接到VSS。P1元件的栅极145与N1元件的栅极150连接在一起形成输入级110的输入端，此输入端连到ESD防护电路100的端点155。输入级110的输出端160的输出信号受输入端155的输入信号所控制。

ESD防护电路100连接于输入焊盘105与输入级110的

输入端 1 5 5 之间，此 E S D 防护电路 1 0 0 包含有一电阻 R 及两个 N 型元件。此两个 N 型元件为一薄氧化层 N M O S 元件 N 2 及一厚氧化层元件 N 3。电阻 R 连接于输入焊盘 1 0 5 的端点 1 7 0 与输入级 1 1 0 的输入端 1 5 5 之间。此电阻 R 可以是一扩散层 (d i f f u s o n) 电阻做在集成电路的衬底上。厚氧化层元件 N 3 的漏极 1 8 4 及其栅极 1 8 6 连接到输入焊盘 1 0 5 的端点 1 7 0，N 3 的源极 1 8 8 连接到 V S S。薄氧化层元件 N 2 的漏极连接到端点 1 5 5，其栅极 1 9 2 与源极 1 9 4 则连接到 V S S。

此 E S D 防护电路 1 0 0 提供 E S D 放电路径于输入焊盘 1 0 5 与 V S S 之间，但没有直接的 E S D 放电路径在输入焊盘与 V D D 之间。这种在输入焊盘 1 0 5 与 V D D 之间没有直接 E S D 放电路径的 E S D 防护电路，已经被发现会造成一些异常的 E S D 损伤在集成电路的内部电路中，而非在 E S D 防护电路上，相关的文献请参考：

(1) C. Duvvury, R. N. Rountree, and O. Adams, "Internal chip ESD Phenomena Beyond the Protection Circuit," IEEE Trans, on Electron Devices, Vol. 35, No. 12, pp. 2133-2139, Dec. 1988;

(2) H. Terletzki, W. Nikutta, and W. Reczek, "Influence of the series resistance of on-chip power supply buses on internal device failure after ESD stress, " IEEE Trans. on Electron Devices, Vol. 40, No. 11, pp. 2081-2083, Nov. 1993: 以及

(3) C. Johnson, T. J. Maloney, and S. Qawami, "Two unusual HBM ESD failure mechanisms on a mature CMOS process, " 1993 EOS/ESD Symp Proc., EOS-15, pp. 225-231.

如图 2 所示，其为另一在 C M O S 集成电路中常用的 E S D 防护电路 2 0 0，此防护电路连接于输入焊盘 1 0 5 与输入级 1 1 0 之

间。如同图 1 中防护电路 1 0 0 所示, 在此防护电路 2 0 0 内也包含有一电阻 R, 此电阻 R 可以是扩散 (d i f f u s i o n) 电阻或是多晶硅 (p o l y s i l i c o n) 电阻。此电阻 R 连接于输入焊盘的端点 1 7 0 与输入级的输入端 1 5 5 之间。E S D 防护电路 2 0 0 另包含有两个二极管 D 1 与 D 2。二极管 D 1 的阳极 2 1 5 连接到 V S S, 其阴极 2 2 0 连接到端点 1 5 5。二极管 D 2 的阳极 2 5 5 连接到端点 1 5 5, 其阴极 2 4 0 连接到 V D D。此 E S D 防护电路 2 0 0, 在上述参考文献 (X. G u g g e n m o s a n d R. H o l z n e r, " A N e w E S D P r o t e c t i o n C o n c e p t f o r V L S I C M O S C i r c u i t s A v o i d i n g C i r c u i t s t r e s s, ", 1991 E O S / E S D S y m p., E O S-13, p p. 74-82) 一文中, 发现当一正的 4 0 0 伏特人体放电模式 (H u m a n B o d y M o d e) 发生在输入焊盘 1 0 5 时, 会导致异常的静电放电损伤在输入级的 P 1 元件的漏极上。此异常的 E S D 损坏, 据分析乃是因为 E S D 防护电路 2 0 0 无法提供有效且快速的 E S D 放电路径来旁通 E S D 放电的瞬间大电流所致。

如图 3 所示, 其为另一在 C M O S 集成电路中常用的 E S D 防护电路 4 0 0, 此 E S D 防护电路 4 0 0 包含有一薄氧化层 N M O S 元件 N 2 及一薄氧化层 P M O S 元件 P 2。此 E S D 防护电路 4 0 0 亦包括一电阻 R 连接于输入焊盘 1 0 5 的端点 1 7 0 与输入级 1 1 0 的输入端 1 5 5 之间, 此电阻 R 在此 E S D 防护电路 4 0 0 中是用多晶硅 P o l y s i l i c o n 来做。P 2 元件连接于端点 1 7 0 与 V D D 之间, P 2 元件的漏极 4 2 0 连接到输入焊盘 1 0 5 的端点 1 7 0, 其源极 4 4 0 与栅极 4 3 0 连接到 V D D。N 2 元件连接于端点 1 7 0 与 V D D 之间, P 2 元件的漏极 4 2 0 连接到输入焊盘 1 0 5 的端点 1 7 0, 其源极 4 4 0 与栅极 4 3 0 连接到 V D D。N 2 元件

连接于端点 170 与 V_{SS} 之间， N_2 元件的漏极 190 连接到输入焊盘 105 的端点 170，其源极 194 与栅极 192 连接到 V_{SS} 。然而，在 ESD 防护电路 400 中，同时用到薄氧化层元件 P_2 与薄氧化层元件 N_2 ，从 P_2 元件的源极（连接到 V_{DD} ）到 N_2 元件的源极（连接到 V_{SS} ）之间会有一寄生的 $p-n-p-n$ 结构，此 $p-n-p-n$ 结构若被触发导通，会引起 V_{DD} 到 V_{SS} 锁住 (latch up) 效应的发生。因此，在如图 3 所示的 ESD 防护电路 400，其 P_2 元件与 N_2 元件皆被要求加上两层内外圈的保护圈环以防止 V_{DD} 到 V_{SS} 锁住效应的发生。因而，其布局面积会增加。如图 4 所示，其为一可控硅整流器的等效电路 500，此电路 500 由双载流子晶体管 T_1 与 T_2 所组成。此 T_1 与 T_2 晶体管即是寄生在 $p-n-p-n$ 结构下的等效晶体管，用来表示可控硅整流器的等效电路。此 $p-n-p-n$ 结构寄生于任何 CMOS 元件之间。在图 3 所示的 ESD 防护电路 400 中即存在有类似的 $p-n-p-n$ 结构。在正常情形下，此寄生的 $p-n-p-n$ 结构是关闭的。

在输入级 110 中，亦有类似寄生的 $p-n-p-n$ 结构存在于 P_1 元件与 N_1 元件之间。故 ESD 防护电路与输入级 110 之间也要有适当的保护圈环，以避免 CMOS 集成电路在正常工作情形下，因输入信号的过高 (overshooting) 或过低 (undershoot) 而导致有瞬态电流在衬底或阱区内流动，因而可能触发寄生在输入级 110 内的 $p-n-p-n$ 结构发生 V_{DD} 到 V_{SS} 的锁住效应。

本发明的目的在于提供次微米互补金属氧化物半导体集成电路一个全方位的静电放电防护电路，以避免异常的 ESD 损伤发生在集成电路的内部电路中。

本发明的另一个目的，在于提供 CMOS 集成电路一个没有锁住效应的 ESD 防护电路。

本发明的再一目的，在于节省ESD防护电路所需的布局面积，因而集成电路芯片的总面积可望减少，相对地减少集成电路的成本以及提高了集成电路封装的密度。

本发明的ESD防护电路可有效地保护输入级110的栅极145与150，免于遭受ESD放电所破坏。本发明的ESD防护电路对输入信号亦具有电压箝制作用。

本发明的ESD防护电路包括有初级ESD防护电路与第二级ESD防护电路。初级ESD防护电路中包含有第一及第二厚氧化层(thick-oxide)元件。其中，第一厚氧化层元件的栅极连接到输入焊盘，并提供ESD放电路径于输入焊盘与VSS之间。第二厚氧化层元件的栅极连接到输入焊盘，并提供ESD放电路径于输入焊盘与VDD之间。

第二级ESD防护电路中包含有一电阻以及第一与第二薄氧化层(thin-oxide)元件。此电阻连接于输入焊盘与输入级的输入端之间。第一薄氧化层元件的栅极及源极连接到输入级的输入端，而其漏极连接到VSS。第二薄氧化层元件的漏极连接到输入级的输入端，而其栅极与源极连到VDD。

本发明的ESD防护电路，能提供CMOS集成电路的输入焊盘四种不同的ESD放电路径，来防范四种不同电压极性模式的静电放电对CMOS集成电路输入级的破坏。本发明的ESD防护电路能够在较小的布局面积下提供全方位的静电放电防护措施。

另外，本发明的ESD防护电路对输入信号亦具有电压准位箝制作用。本发明的ESD防护电路可将输入信号的电压准位箝制在5.5到-1伏特之间（在VDD=5伏特，VSS=0伏特情形下）。本发明的ESD防护电路具有比正常输入信号要高的导通电压，故当CMOS集成电路在正常工作情下，此ESD防护电路是关闭的，而不会影响集成电路的正常操作。

在本发明的ESD防护电路中所使用的元件都是同一型掺杂元件，故在本ESD防护电路中完全没有VDD到VSS锁住效应的存在。因而在布局上，同型元件间可以互相合并而有效地减少布局面积。

本发明采取如下具体结构：

本发明的一种互补金属氧化物半导体集成电路的静电放电防护电路，该电路具有一负电压源VSS及一正电压源VDD，其特征在于，其包括：

一个第一厚氧化层元件，连接在输入级与负电压源之间，用来旁通一种极性的ESD放电电流；

一个第二厚氧化层元件，连接在正电压源与输入级之间，用来旁通另一种极性的ESD放电电流；

一个第一薄氧化层元件，连接在负电压源与输入级之间，用来旁通一种极性的ESD放电电流，且箝制在输入级上正的ESD电压准位到一个预定的正值；

一个二极管，连接在输入级与正电压源之间，用来旁通ESD放电电流；

一个第二薄氧化层元件，连接在输入级与正电压源之间，用来旁通另一种极性的ESD放电电流，且箝制在输入级上负的ESD电压准位到一个预定的负值；

一连接在输入焊盘与输入级之间的一电阻。

其中，还包括一个二极管，连接在输入级的输入端与正电压源之间。

其中，所述电阻是一个扩散层电阻。

其中，所述扩散层电阻、所述第一及第二厚氧化层元件以及所述第一与第二薄氧化层元件都是P型元件。

其中，还包括一个二极管，其寄生在P型扩散层与N型衬底之间，连接在所述输入焊盘与第二参考电压源之间。

结合附图及实施例对本发明的静电放电防护电路的特点说明如下：

附图简单说明：

图 1 为一传统的 ESD 防护电路，其中防护元件只安排在输入焊盘与 VSS 之间。

图 2 为用两个二极管所做的传统 ESD 防护电路。

图 3 为用薄氧化层 PMOS 元件与 NMOS 元件所做的传统 ESD 防护电路。

图 4 为 VDD 到 VSS 锁住效应的等效电路图。

图 5 为本发明所提出的 ESD 防护电路。

图 6 为图 5 的 ESD 防护电路的布局实例。

图 7 为本发明 ESD 防护电路结构的剖面图，此剖面图是相对于图 6 中的 A—A' 切线。

A、电路结构

图 5 为本发明的电路示意图 600。此 ESD 防护电路 600 与 CMOS 集成电路做在同一晶片上以保护 CMOS 集成电路免于 ESD 所破坏。此 ESD 防护电路 600 连接于输入焊盘 105 与输入级 110 之间。此输入级 110 与在图 1 至图 3 相同，由一薄氧化层 PMOS 元件 P1 与一薄氧化层 NMOS 元件 N1 所组成。

本 ESD 防护电路 600 包含有 4 个 P 型元件，其中有两个薄氧化层 PMOS 元件 P4 与 P5，有两个厚氧化层 PMOS 元件 P2 与 P3。厚氧化层元件 P2 的源极接到输入焊盘 105，其漏极 623 连接到 VSS。厚氧化层元件 P3 的漏极 626 连接到输入焊盘 105，其源极 630 连接到 VDD。P2 元件的栅极 633 与 P3 元件的栅极 636 连接到输入焊盘 105。此栅极 633 与 636 是用金属层跨在厚氧化层上当作其栅极。

薄氧化层元件 P4 的源极 640 连接到栅极 643，此源极 64

0 与栅极 6 4 3 也连接到输入级 1 1 0 的输入端 1 5 5，其漏极 6 4 6 连接到 V S S。薄氧化层元件 P 5 的漏极 6 5 0 连接到输入级 1 1 0 的输入端 1 5 5，其栅极 6 5 3 与源极 6 5 6 连接到 V D D。栅极 6 4 3 与 6 5 3 是多晶硅 (P o l y s i l i c o n) 跨在薄氧化层上而形成。

此 E S D 防护电路 6 0 0 中，包括有一串联电阻 R，此电阻连接于输入焊盘 1 0 5 的端点 1 7 0 与输入级 1 1 0 的输入端 1 5 5 之间。此电阻可以用多晶硅或是用 P 型扩散层 (d i f f u s i o n) 来做。在图 5 中所示的电阻是用 P 型扩散层做在 N 型衬底上而成的，此 P 型扩散层在 N 型衬底上也会造成一寄生的二极管 D 存在此 E S D 防护电路中。此二极管 D 的阳极连接到电阻 R，其阴极连接到 V D D。此扩散电阻 R 的 P 型扩散层与 N 型衬底的接面上也会有一寄生的杂散电容存在 (未显示于图 5 中)，此杂散电容加上电阻 R 会对 E S D 信号在时间上有些微延迟作用以防止输入级 1 1 0 的栅极直接受到 E S D 的应力。当电阻用多晶硅来做时，寄生的二极管 D 亦存在于本发明的 E S D 防护电路中，因厚氧化层元件 P 2 的源极与厚氧化层元件 P 3 的漏极是一 P 型扩散层做在 N 型衬底上，故有一寄生的二极管 D 3 存在于输入焊盘与 V D D 之间。此电阻 R 约在 2 0 0 欧姆左右，较大的电阻值可提高 E S D 的防护能力，但亦会导致更长的时间延迟于输入焊盘 1 0 5 与输入级 1 1 0 之间。太大的 R 值会影响正常信号的输入速度。故此 R 值在实际次微米 C M O S 集成电路应用上，约在 2 0 0 — 5 0 0 欧姆左右。

虽然先进的工艺技术也会降低厚氧化层元件的 E S D 防护能力，若在厚氧化层元件的漏极内加入一深的阱区结构，则可适度地提高厚氧化层元件的 E S D 耐压能力。相关文献，请参考 Y. S. Hu, H. R. Liauh, and M. C. Chang, " High Density Input Protection Circuit Design in 1.2 μ m CMOS Technolygy," 1987 EOS/ESD Symp.

Proc., EOS-9, pp. 179-185。本发明中，厚氧化层元件 P 2 与 P 3 的源极与漏极皆被加入类似的深阱区结构，以提高 E S D 耐压能力。

厚氧化层元件 P 2 与 P 3 的导通电压一般都远比 5 伏特的 V D D 电压高。因此把其栅极连接到输入焊盘，不会导致 P 2 或 P 3 元件的导通。把金属栅极 6 3 3 与 6 3 6 连接到输入焊盘 1 0 5 的目的，在于提高厚氧化层元件 P 2 与 P 3 在 E S D 发生时的导通速度，这可使得厚氧化层元件 P 2 与 P 3 能够快速地导通来旁通 E S D 放电的电流。但在正常工作信号输入情形下，此厚氧化层元件是不会被导通的。

B、电路工作原理

在输入级 1 1 0 内的薄氧化层元件 P 1 被薄氧化层元件 P 5，电阻 R 以及厚氧化层元件 P 3 所保护以防护 E S D 破坏。在输入级 1 1 0 内的薄氧化层元件 N 1 被薄氧化层元件 P 4，电阻 R，厚氧化层元件 P 2 所保护以防 E S D 破坏。本发明的 E S D 防护电路除了提供 E S D 防护功能之外，在正常工作情形下，本发明的 E S D 防护电路亦对输入信号提供电压准位箝制的作用。

1、电压准位箝制作用。

在 C M O S 集成电路正常工作情形下，E S D 防护电路中的 P 型元件 P 2、P 3、P 4 以及 P 5 都是关闭的。厚氧化层元件 P 2 与 P 3 的导通临界电压远高于 V D D 的 5 伏特电位，故 P 2 与 P 3 在（C M O S 集成电路）正常工作情形下是关闭的。薄氧化层元件 P 4 与 P 5 的栅极连接到其源极去，故 P 4 与 P 5 元件是关闭的。

薄氧化层元件 P 4 的栅极连接到端点 1 5 5 而不连接到 V D D，这可使输入信号的低电压准位有被箝制的作用。当输入信号因外界干扰而导致电压准位过低时（低于 -1 伏特），薄氧化层元件 P 4 便会导通（因此时，其源极 6 4 0 的电位低于其漏极 6 4 6 的电位）来箝制过低的输入信号的电压准位。因薄氧化层 P M O S 元件的导通临界电压约在 -0.8 到 -1 伏特左右，故输入信号的低电压准位会被 P

4 元件箝制在 -1 伏特左右。

当输入信号的电压准位过高时，电阻 R 内所寄生的二极管 D 会箝制此过高的电压准位。当输入信号因外界干扰而使其高电压准位超过 $V_{DD} + 0.5$ 伏特时，二极管 D 会被正向导通来箝制输入焊盘 105 上的高电压于 5.5 伏特左右（当 $V_{DD} = 5$ 伏特）。

因此，在输入焊盘 105 上的输入信号若有过高或过低的干扰电压出现时，此输入信号传送到输入级 110 的输入端 155 之前，会被本发明的 ESD 防护电路箝制在 5.5 到 -1 伏特之间，因而可提高 CMOS 集成电路对杂讯干扰的免疫力。

2、ESD 防护作用，

因为 ESD 在集成电路的某一输入脚可能具有正的或负的电压极性对 V_{DD} 或 V_{SS} 脚来放电，因此对 CMOS 集成电路的输入脚而言，会有四种不同的放电情形：

（1）PS 模式：当 V_{DD} 脚浮接，而相对正电压的 ESD 在某一输入脚对 V_{SS} 脚放电；

（2）NS 模式：当 V_{DD} 脚浮接，而相对负电压的 ESD 在某一输入脚对 V_{SS} 脚放电；

（3）PD 模式：当 V_{SS} 脚浮接，而相对正电压的 ESD 在某一输入脚对 V_{DD} 脚放电；

（4）ND 模式：当 V_{SS} 脚浮接，而相对负电压的 ESD 在某一输入脚对 V_{DD} 脚放电。

以上的四种 ESD 放电模式都会对 CMOS 集成电路的输入级造成损伤。本发明的 ESD 防护电路能够提供四个 ESD 放电路径来全方位防护这四种模式的静电放电。

当 PS 模式的 ESD 发生时，正的 ESD 电压会经由电阻 R 传导到薄氧化层元件 P4 的源极 640，当此正的 ESD 电压超过 P4 元件的击穿电压（约 13 伏特左右）时，P4 元件被强迫击穿而导通，

因而 p 初步箝制端点 1 5 5 上的电压准位约 1.3 伏特左右，以保护输入级 1 1 0 的栅极 1 4 5 与 1 5 0 的薄氧化层。流过 P 4 元件的击穿电流亦会流经电阻 R，因而在厚氧化层元件 P 2 的源极 6 2 0 导致一个电压降 V_{s2} ，即

$$V_{s2} = |V_{sb4}| + I_4 \cdot R$$

其中：

V_{s2} 是厚氧化层元件 P 2 的源极 6 2 0 上的电压，

V_{sb4} 是薄氧化层元件 P 4 的击穿电压，

I_4 是流经薄氧化层元件 P 4 的击穿电流，

R 是扩散层电阻 R 的电阻值。

当 V_{s2} 电压超过厚氧化层元件 P 2 的击穿电压时，P 2 元件便击穿导通来旁通 ESD 放电电流。ESD 的电流主要藉由 P 2 元件击穿导通后来旁通到 VSS 去。P 4 元件的作用在于初步箝制住输入级 1 1 0 的输入端 1 5 5 的电压准位，以保护输入级 1 1 0 的栅极薄氧化层。电阻 R 的作用在于限制 P 4 元件的击穿电流，以免 P 4 元件因突然击穿而损坏，并提高 P 2 元件源极上的电压 V_{s2} 以使 P 2 元件导通来旁通 ESD 电流。

薄氧化层元件 P 4 是一短通道元件。P 4 元件的通道越短，其击穿电压 $|V_{sb4}|$ 越小。因而输入级 1 1 0 的输入端的 ESD 电压可被箝制在较低的电压准位。击穿电流 I_4 与 P 4 元件的尺寸大小成正比，越大尺寸的 P 4 元件能够提供越大的击穿电流 I_4 。电阻 R 的电阻值大小可由电阻 R 的扩散层尺寸决定。适当地设计 P 4 元件的尺寸及电阻 R 的大小，可以有效地防护输入级 1 1 0 免于 PS 模式的静电放电破坏。

当 ND 模式的 ESD 发生时，因过低的 ESD 电压经电阻 R 传导到 P 4 元的源极 6 4 0，此过低的负电压导致 P 4 元件被正向导通。因此，负的 ESD 电流经由电阻 R 与 P 4 元件而旁通到 VSS 去。短

通道的薄氧化层元件 P 4 在其正向导通情形下，可承受很高的 E S D 应力。

当 P D 模式的 E S D 发生时，电阻 R 内的二极管 D 会被正向导通来旁通 E S D 电流到 V D D 去。二极管 D 在正向导通的情形下亦能承受很高的 E S D 应力。

当 N D 模式的 E S D 发生时，此负的 E S D 电压会经由电阻 R 传导到薄氧化层元件 P 5 的漏极 6 5 0，当负的 E S D 电压比 P 5 元件的击穿电压（约 -1.3 伏特）来得更低时，会导致 P 5 元件击穿导通。此导通的 P 5 元件会初步箝制输入级 1 1 0 的输入端 1 5 5 的电压准位不低於 -1.3 伏特左右，因而保护输入级 1 1 0 的栅极 1 4 5 与 1 5 0 的薄氧化层免于被 E S D 击穿或破坏。P 5 的击穿电流流经电阻 R，会在厚氧化层元件 P 3 的漏极 6 2 6 产生一电压 V D 3，即

$$V D 3 = V s b 5 - I 5 \cdot R$$

其中：

V D 3 是厚氧化层元件 P 3 的漏极电压，

V s b 5 是薄氧化层元件 P 5 的击穿电压（是一个负值），

I 5 是元件 P 5 的击穿电流（I 5 自 V D D 流向 P 5 元件），

R 是扩散层电阻的电阻值。

此 V D 3 是一个负值电压，当 V D 3 比 P 3 元件漏极的击穿电压更低时，P 3 元件便会被导通旁通 E S D 放电电流到 V D D 去。E S D 放电电流主要是藉由厚氧化层元件 P 3 来旁通到 V D D。设薄氧化层元件 P 5 的目的在于初步箝制输入级 1 1 0 的输入端 1 5 5 的电压，以保护输入级 1 1 0 的栅极 1 4 5 与 1 5 0 的薄氧化层。P 5 元件的通道越短，其击穿电压 |V s b 5| 越小，因而越早击穿以箝制端点 1 5 5 上的电压。电流 I 5 是 P 5 元件的击穿电流，P 5 元件的尺寸越大，I 5 便越大。电阻 R 的作用在限制 P 5 元件突然击穿时太大的瞬间电流把 P 5 元件烧毁，以保护 P 5 元件。电阻 R 与 I 5 亦提供

一电位差于端点 170 与 155 之间，以使厚氧化层元件 P3 击穿导通来旁通 ESD 电流。适当地设计 R 值与 P5 元件的尺寸，可使本发明的 ESD 防护电路能够有效地防护 ND 模式的 ESD 破坏。

C、布局实例

图 6 为本发明的 ESD 防护电路 600（如图 5 所示）的布局实例。图 6 为一个紧密的布局设计 700，此布局 700 亦包含一个输入焊盘 105 以及 VDD 与 VSS 电源总线（bus）。端点 170 连接输入焊盘 105 到 ESD 防护电路 600，端点 155 则连接 ESD 防护电路 600 到输入级 110。

P 型扩散层（diffusion）做的电阻 R 加接于端点 155 与 170 之间。ESD 防护电路 600 的最外圈包围一 P 型扩散层的防护圈环 710，在防护圈环 710 的内侧又有另一 N 型扩散层做的防护圈环 720。此双层防护圈环，用于防止因输入信号过高或过低时，引起异常的暂态电流在衬底流动，而导致 VDD 到 VSS 锁住效应发生于输入级 110 内。此双层防护圈环可以吸走衬底中异常的暂态电流，因此输入信号因外界干扰而过高或过低时，不会引发 CMOS 保成电路内部发生锁住效应。此双层防护圈环 710 与 720 与 ESD 防护电路 600 可以紧密合并在一起以节省布局面积。

图 7 显示此布局 700（在图 6 中）沿着切线 A—A' 的元件剖面图。在图 7 中的两边显示了 710 与 720 的防护圈环，P+ 防护圈环 710 连接到 VSS，N+ 防护圈环 720 连接到 VDD。如图 7 所示，PMOS 元件的源极与漏极皆是 P 型扩散层做在 N 型衬底上。此外，在 P 型防护圈环 710，厚氧化层元件 P2 的漏极 623 与源极 620，厚氧化层元件 P3 的漏极 626 与源极 630，以及薄氧化层元件 P4 的源极 640（亦是薄氧化层元件 P5 的漏极 650）中，在其 P 型扩散层内各包含有一 P 型的深阱区。此 P 型深阱区并入在 P 型元件的 P 型扩散层内，可以增加 ESD 电流流通的路径，

因而可以提高其ESD耐压能力。如图上所示，此P型阱区约宽3—4微米。

厚氧化层元件P2与P3的通道810的长度约 $2\mu\text{m}$ 。薄氧化层元件P4与P5的通道820的长度约 $1\mu\text{m}$ 。各P型元件的漏极连接点(drain contact)到其栅极的边缘的距离是一项重要的参数以提高元件的ESD耐压能力，此距离在布局700中为5微米。

因在本发明的ESD防护电路中，所用的元件都是P型元件，因此在本发明的ESD防护电路内没有VDD到VSS锁住效应的路径，故在布局与元件结构上可以紧密靠在一起以降低布局面积。如图6所示的布局700，在0.8微米双型阱区CMOS工艺技术下，本发明的ESD防护电路600加上双层防护圈环710与720在内的布局面积仅有 100×150 平方微米。虽然只占用如此小的布局面积，本发明的ESD防护电路可承受超过4000伏特的人体放电模式(HBM)的ESD应力。

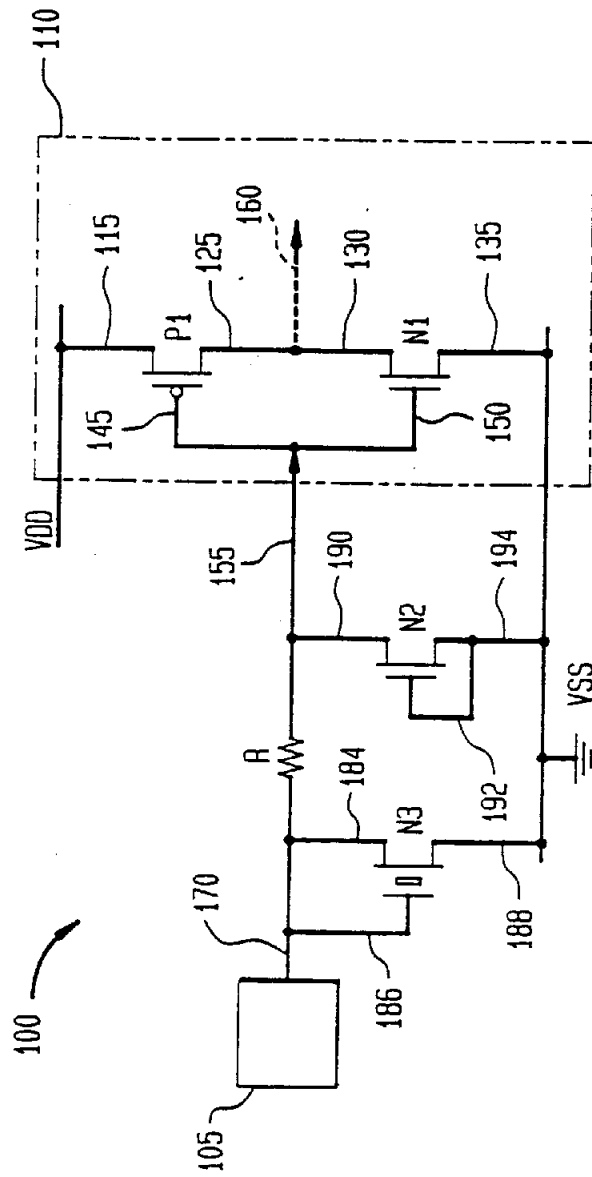
由于厚氧化层元件P2与P3的源极与漏极元件结构中皆有并入P型阱区，此P型阱区能够使P2与P3元件旁通更高的ESD电流，因而能够在较小的布局面积下承受较高的ESD应力。

在本发明电路中，输入级110的栅极145与150连接到端点155，而端点155的ESD电压可被薄氧化层元件P4与P5的击穿动作而箝制住。在一般工艺下，薄氧化层元件的漏极或源极的击穿电压都比其栅极的薄氧化层击穿电压来得低，因此输入级110的栅极的薄氧化层可被本发明的ESD防护电路充份保护。

把P型元件改换成N型元件，本发明的ESD防护电路亦可实现于N型阱区/P型衬底的CMOS工艺技术。故本发明的ESD防护电路是具有工艺上的兼容性，其可实现于任一CMOS或BICMOS工艺技术中。

以上所揭露的技术为本发明的设计构思及实施例，但其并非用以限定本发明，任何熟习此项技艺者，在不脱离本发明的精神和范围内，作些许更动与润饰，也应属本发明的保护范围内。

图1



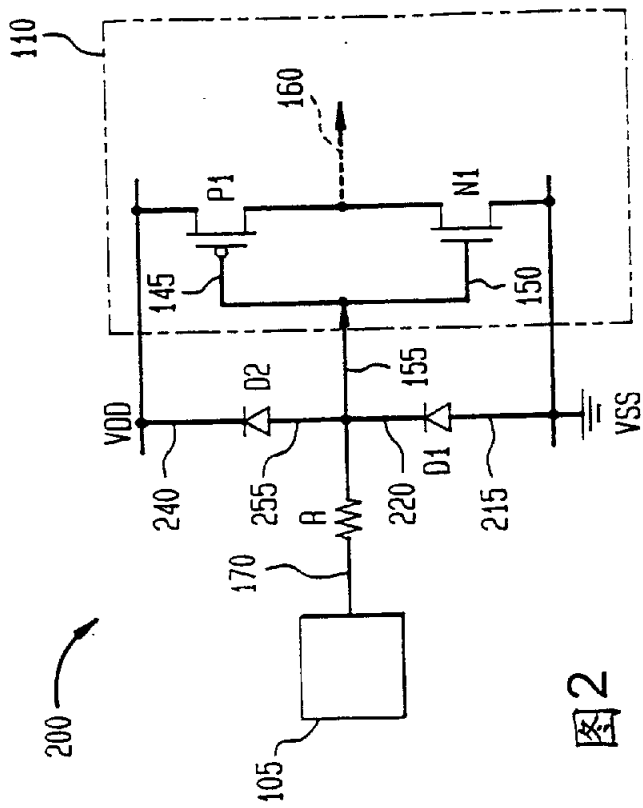
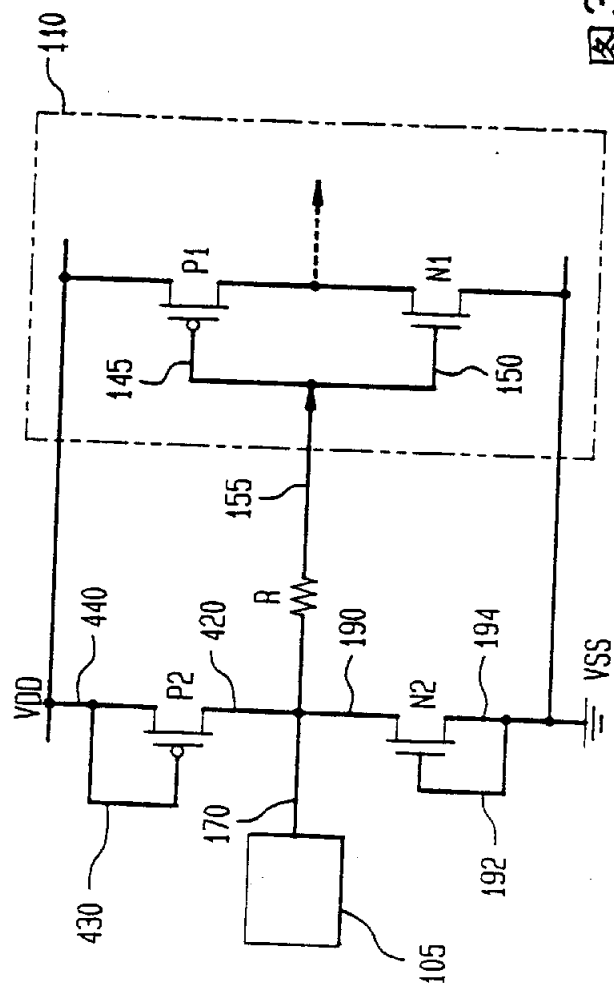


图2



3
[X]



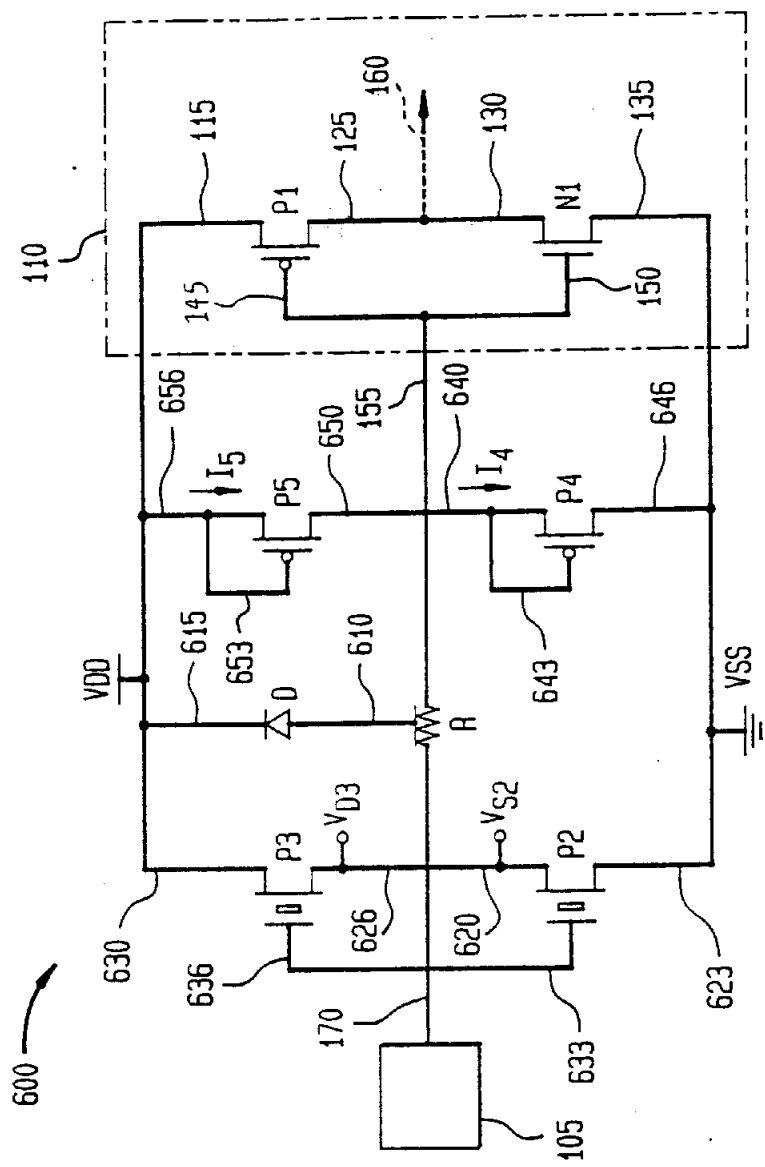


图5

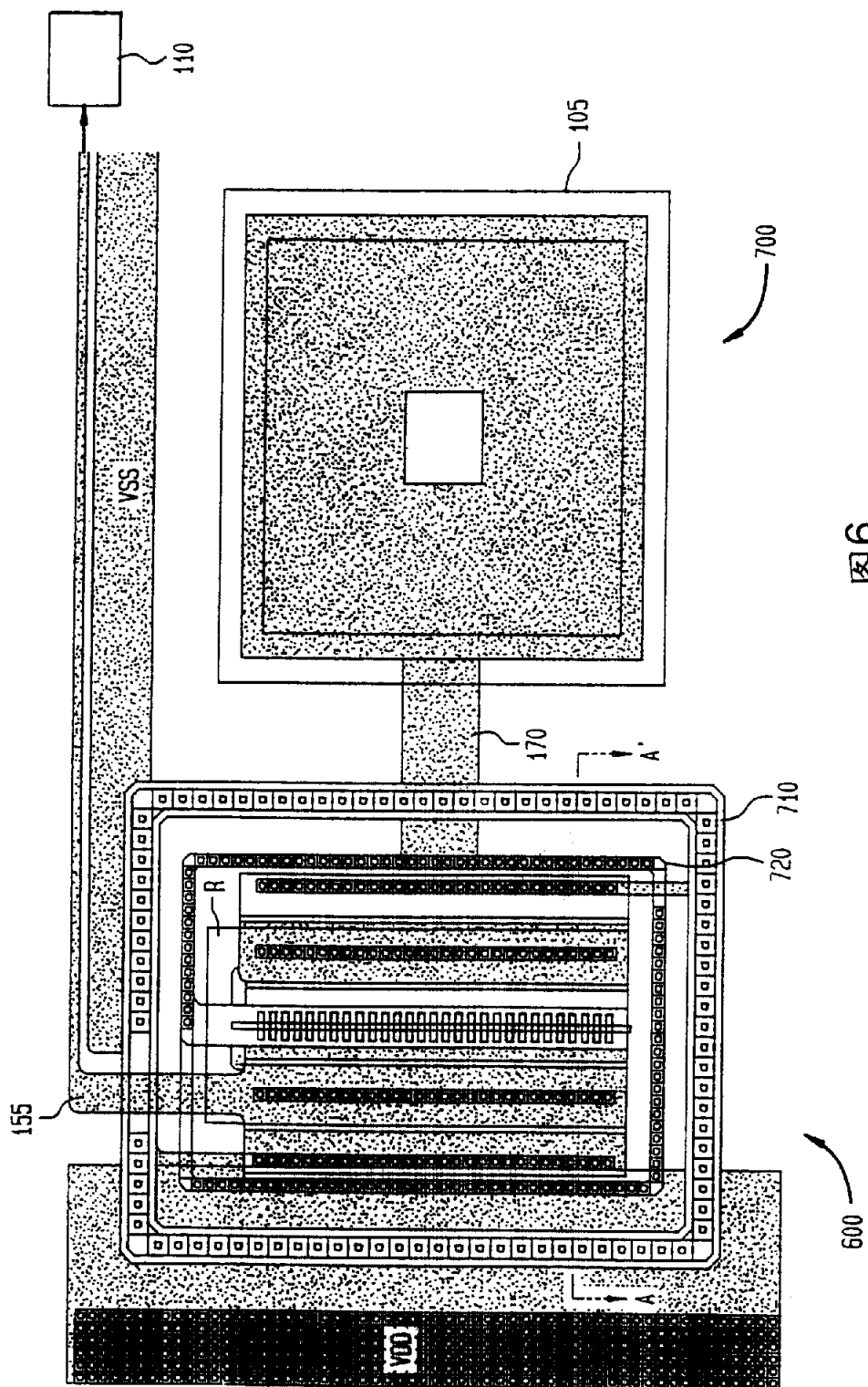


图6

图7

